

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133852

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 41/083
H01L 41/22

(21)Application number : 10-306618

(71)Applicant : SUMITOMO METAL IND LTD
SUMITOMO METAL ELECTRONICS
DEVICES INC

(22)Date of filing : 28.10.1998

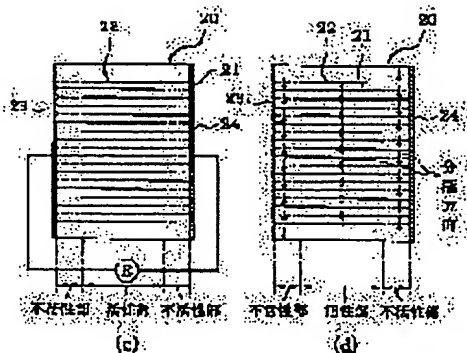
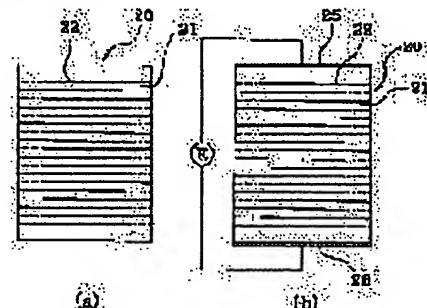
(72)Inventor : MURAKAWA KENSAKU
ISAKI NOBORU

(54) STACKED PIEZOELECTRIC ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress cracks at polarization treatment and cracks at driving.

SOLUTION: The whole of a piezoelectric ceramics stack 20 is polarized uniformly in the direction of stacking by impregnating the piezoelectric ceramics stack 20 at large in insulating oil at, for example, 100° C and applying specified high voltage between both surface electrodes 25 and 26, after applying conductive paste all over the topside and the bottom side of a stacked ceramics stack 20 severally and drying it to form surface electrodes 25 and 26. After this, the surface electrodes 25 and 26 are cleaned for removal with an organic solvent, and then side electrodes 23 and 34 are made on the flanks of the piezoelectric ceramics stack 20 by deposition of Cr/Ni/Au or the like. After this, the piezoelectric ceramics stack 20 is impregnated again in entirety in the insulating oil at, for example, 100° C, and specified high voltage is applied between the side electrodes 23 and 24, whereby the voltages of reverse polarity are applied alternately to the internal electrode 22 of each layer, so as to polarize again only the active region that the internal electrode 22 in each layer faces opposite.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]


[Date of extinction of right]

【書類名】 刊行物等提出書
【提出日】 平成18年 9月 5日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2004-512213
【提出者】
 【住所又は居所】 省略
 【氏名又は名称】 省略
【提出する刊行物等】 (1) 刊行物 1 : 特開 2 0 0 0 - 1 3 3 8 5 2 公報の写し
 (2) 刊行物 2 : 特表 2 0 0 1 - 5 1 3 2 6 9 公報の写し
 (3) 刊行物 3 : 特開平 6 - 2 1 6 4 2 7 公報の写し
【提出の理由】

【物件名】

刊行物 1

【添付書類】

6  267 刊行物 1

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-133852

(P2000-133852A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int. Cl.⁷

識別記号

F I

テコード (参考)

H 0 1 L 41/083

H 0 1 L 41/08

S

41/22

41/22

Z

審査請求 未請求 請求項の数 4

OL

(全 6 頁)

(21) 出願番号 特願平10-306618

(22) 出願日 平成10年10月28日 (1998. 10. 28)

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(71) 出願人 391039896

株式会社住友金属エレクトロデバイス

山口県美祿市大嶺町東分字岩倉2701番1

(72) 発明者 村川 健作

大阪府大阪市中央区北浜4丁目5番33号 住

友金属工業株式会社内

(72) 発明者 伊崎 暢

大阪府大阪市中央区北浜4丁目5番33号 住

友金属工業株式会社内

(74) 代理人 100098420

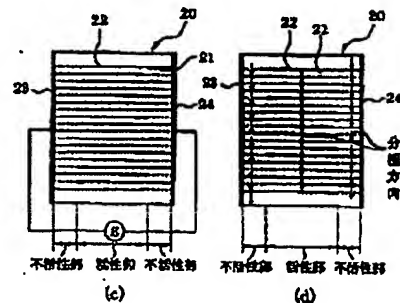
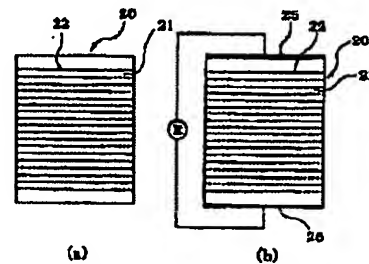
弁理士 加古 宗男

(54) 【発明の名称】 積層圧電素子及びその製造方法

(57) 【要約】

【課題】 分極処理時のクラックや駆動時のクラックを抑制する。

【解決手段】 圧電セラミックス積層体 20 の上面全面と下面全面に、それぞれ導体ペーストを塗布、乾燥して表面電極 25、26 を形成した後、例えば 100℃ の絶縁オイル中に圧電セラミックス積層体 20 全体を浸漬して、両表面電極 25、26 間に所定の高電圧を印加することで、圧電セラミックス積層体 20 全体を積層方向に均一に分極させる。この後、表面電極 25、26 を有機溶剤等で洗浄除去した後、圧電セラミックス積層体 20 の側面に Cr/Ni/Au の蒸着等により側面電極 23、24 を形成する。この後、再度、例えば 100℃ の絶縁オイル中に圧電セラミックス積層体 20 全体を浸漬して、両側面電極 23、24 間に所定の高電圧を印加することで、各層の内部電極 22 に交互に逆極性の電圧を印加して、各層の内部電極 22 が対向する活性部のみを分極し直す。



(2)

特開2000-133852

2

【特許請求の範囲】

【請求項1】 内部電極を形成した複数の圧電セラミックス層を積層し、この圧電セラミックス積層体の両側面に側面電極を形成すると共に、各層の内部電極を交互に反対側の側面電極に接続した積層圧電素子において、各層の内部電極が対向しない部分の圧電セラミックスの分極方向が前記圧電セラミックス積層体の積層方向に揃えられていることを特徴とする積層圧電素子。

【請求項2】 請求項1に記載の積層圧電素子を製造する方法において、内部電極を形成した複数の圧電セラミックス層を積層し、これを焼成して圧電セラミックス積層体を製造する工程と、

前記圧電セラミックス積層体に対してその積層方向に電界を印加して該圧電セラミックス積層体全体を積層方向に分極させる1回目の分極処理工程と、

1回目の分極処理後に、各層の内部電極に交互に逆極性の電圧を印加して各層の内部電極が対向する部分の圧電セラミックスを分極し直す2回目の分極処理工程とを含むことを特徴とする積層圧電素子の製造方法。

【請求項3】 1回目の分極処理を行う前に、前記圧電セラミックス積層体の積層方向の両面全面に表面電極を形成し、両表面電極間に電圧を印加して1回目の分極処理を行った後、両表面電極を前記圧電セラミックス積層体から取り除き、

その後、前記圧電セラミックス積層体の両側面にそれぞれ側面電極を形成した後、両側面電極から各層の内部電極に電圧を印加して2回目の分極処理を行うことを特徴とする請求項2に記載の積層圧電素子の製造方法。

【請求項4】 1回目の分極処理で圧電セラミックス層に印加する電界と、2回目の分極処理で圧電セラミックス層に印加する電界とを同じ大きさとし、且つ、電界印加時間を同一としたことを特徴とする請求項2又は3に記載の積層圧電素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部電極が形成された複数の圧電セラミックス層を積層して構成した、いわゆる積層コンデンサ型の積層圧電素子及びその製造方法に関するものである。

【0002】

【従来の技術】従来の積層コンデンサ型の積層圧電素子は、図3に示すように、内部電極11を形成した複数の圧電セラミックス層12を積層し、これを焼成して圧電セラミックス積層体15を形成すると共に、この圧電セラミックス積層体15の両側面に側面電極13、14を形成し、各層の内部電極11を交互に反対側の側面電極13、14に接続した構造となっている。この積層圧電素子を駆動する場合には、両側面電極13、14間に電圧を印加することで、各層の内部電極11に交互に逆極性の電圧を印加して、各層の内部電極11が対向する部

分（以下「活性部」という）の圧電セラミックスに積層方向の電界を印加して、活性部に電界誘起歪みを生じさせ、積層圧電素子を変位させる。このような電界誘起歪みによる変位量を確保するためには、各層の内部電極11が対向する活性部の圧電セラミックスの分極方向を電界の印加方向と同一するように分極処理する必要がある。

【0003】従来の分極処理方法は、両側面電極13、14間に高電圧を印加することで、各層の内部電極11に交互に逆極性の高電圧を印加して、図3に示すように、各層の内部電極11が対向する活性部のみを積層方向（電界印加方向）に分極させるようにしている。

【0004】

【発明が解決しようとする課題】上記従来の分極処理方法では、各層の内部電極11が対向する活性部のみを積層方向に分極させるため、図3（b）に示すように、活性部は、分極処理時に生じる分極歪みにより積層方向に膨張するが、各層の内部電極11が対向しない部分（以下「不活性部」という）は、電界が印加されず、分極されないため、活性部のような分極歪みは生じない。このため、活性部と不活性部との境界付近に分極歪みによる応力が発生し、その応力によって、図3（b）に示すように、クラックが発生しやすいという問題があった。

【0005】この問題を解決するために、特開平2-163983号公報に示すように、分極処理時に、圧電セラミックス積層体に対して積層方向に50～1000 kgf/cm²の圧縮荷重を加えながら分極処理を行うことが提案されている。しかしながら、この方法は、分極歪みによる内部応力を根本的に低減させるものではなく、しかも、分極歪みが生じる活性部と、分極歪みが生じない不活性部とでは、圧縮荷重による応力分布が異なるため、完全にはクラックを抑制できない。しかも、大きな圧縮荷重を加えるため、圧縮荷重のかけ方によっては積層圧電素子が破壊されてしまうおそれがある。更に、分極処理終了後も、分極歪みによる内部応力が残留するため、積層圧電素子の駆動時には、分極歪みによる残留応力に加えて、活性部と不活性部との電界誘起歪みの差による応力も加わるため、駆動時の内部応力が大きくなって、比較的短い使用期間でクラックが発生することがあり、これが積層圧電素子の耐久性を低下させる一因となっている。

【0006】本発明はこのような事情を考慮してなされたものであり、従ってその目的は、分極処理時のクラックや駆動時のクラックを効果的に抑制することができ、製品歩留り向上と耐久性向上とを達成することができる積層圧電素子及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1の積層圧電素子は、各層の内部電極が対向しない部分（不活性部）の圧電セラミックスの

(3)

特開2000-133852

3

4

分極方向を積層方向に揃えた構造としたものである。つまり、従来の積層圧電素子は、不活性部の圧電セラミックスの分極方向がランダムであったため、分極処理時に、活性部と不活性部との分極歪みの差が大きくなったが、本発明では、不活性部の分極方向が積層方向に揃えられて活性部の分極方向と平行になっているため、分極処理時の活性部と不活性部との分極歪みの差が少なくなる（又は無くなる）。その結果、分極歪みによる応力が低減され（又は発生しなくなり）、分極処理時のクラックが抑制される。また、分極歪みによる残留応力が低減される（又は無くなる）ため、積層圧電素子の駆動時に生じる活性部と不活性部との歪み差による応力も小さくなり、駆動時のクラックも抑制される。

【0008】このような構造の積層圧電素子を製造する場合は、請求項2のように、圧電セラミックス積層体の焼成後に、1回目の分極処理工程に移行し、圧電セラミックス積層体に対してその積層方向に電界を印加して該圧電セラミックス積層体全体を積層方向に分極させ、その後、2回目の分極処理工程で、各層の内部電極に交互に逆極性の電圧を印加して各層の内部電極が対向する部分（活性部）の圧電セラミックスを分極し直すようにすれば良い。この場合、1回目の分極処理では、圧電セラミックス積層体全体を積層方向に均一に分極させるため、圧電セラミックス積層体全体に均一に分極歪みが生じ、活性部と不活性部との間で分極歪みの差が全く生じない。また、2回目の分極処理では、従来と同じく、活性部のみに積層方向の電界が印加され、活性部の分極方向が1層毎に 180° 反転することになるが、1回目の分極処理によって、活性部と不活性部が共に2回目の分極方向と平行な方向に分極されているため、2回目の分極処理では、活性部の半数の層の分極方向が変化せず、残り半数の層の分極方向が 180° 反転するだけであり、これ以外の方向の分極は生じない。この結果、2回目の分極処理においても、活性部と不活性部との分極方向が平行に保たれ、新たな分極歪みが発生しないので、活性部と不活性部との間で分極歪みの差（応力）が発生せず、クラックが抑制される。

【0009】更に、請求項3のように、1回目の分極処理を行う前に、圧電セラミックス積層体の積層方向の両面全面に表面電極を形成し、両表面電極間に電圧を印加して1回目の分極処理を行った後、両表面電極を前記圧電セラミックス積層体から取り除き、その後、圧電セラミックス積層体の両側面にそれぞれ側面電極を形成した後、両側面電極から各層の内部電極に電圧を印加して2回目の分極処理を行うようにしても良い。このように、圧電セラミックス積層体の両面全面に表面電極を形成すれば、圧電セラミックス積層体全体を均一に分極する1回目の分極処理が容易になる。更に、2回目の分極処理時には、圧電セラミックス積層体の両側面に形成した側面電極から各層の内部電極に電圧を印加するため、各層

の内部電極への電圧印加が容易となり、2回目の分極処理も容易になる。

【0010】更に、圧電セラミックス層の分極状態が、印加する電界の強さや電界印加時間によって変化することを考慮して、請求項4のように、1回目の分極処理で圧電セラミックス層に印加する電界と、2回目の分極処理で圧電セラミックス層に印加する電界とを同じ大きさとし、且つ、電界印加時間を同一とすることが好ましい。このようにすれば、2回目の分極処理で、活性部の圧電セラミックス層の分極方向が1層毎に 180° 反転しても、活性部の各層の分極歪みが1回目の分極処理で生じた不活性部の各層の分極歪みと同一に保たれ、2回目の分極処理で活性部と不活性部との間に分極歪みの差が発生することが確実に防止される。

【0011】

【発明の実施の形態】以下、本発明の一実施形態を図1及び図2に基づいて説明する。まず、積層圧電素子の構造を説明する。圧電セラミックス積層体20を構成する各層の圧電セラミックス層21は、例えばチタン酸-ジルコニウム酸鉛系（PZT）、ニッケル・ニオブ酸-チタン酸-ジルコニウム酸鉛系、チタン酸バリウム、チタン酸鉛等の圧電セラミックス材料により形成されている。各層の圧電セラミックス層21の表面には、導体ペーストの印刷・焼成により内部電極22が形成され、圧電セラミックス積層体20の両側面には、例えばCr/Ni/Auの蒸着等により側面電極23、24が形成されている。各層の内部電極22は、交互に反対側の側面に導出されて側面電極23又は24に接続されている。各層の内部電極22の先端部は、接続しない側の側面電極23又は24から所定の絶縁距離だけ離れている。

【0012】この圧電セラミックス積層体20は、各層の内部電極22が対向しない部分（不活性部）の圧電セラミックスの分極方向が積層方向（図1において上方向又は下方向）に揃えられている。この不活性部の分極方向は、各層の内部電極22が対向する部分（活性部）の圧電セラミックスの分極方向と平行となっている。尚、活性部の分極状態は、分極方向が不活性部と同じになる層と、分極方向が 180° 反転した層とが交互に配置されている。

【0013】次に、上述した構成の積層圧電素子の製造方法を図1及び図2を用いて説明する。図2は、積層圧電素子の製造工程の流れを示す工程フローチャートである。まず、圧電セラミックス積層体20を次のようにして作製する。圧電セラミックスのグリーンシートの表面に導体ペーストを用いて内部電極22を印刷した後、該グリーンシートを製品サイズに切断して個々の圧電セラミックス層21に分割する。この後、各層の圧電セラミックス層21を積層して熱圧着して圧電セラミックス積層体20（図1（a）参照）を作った後、この圧電セラミックス積層体20を焼成する。この段階では、圧電セ

5

ラミックス積層体20の上面、下面及び側面には、まだ電極が形成されていない。

【0014】焼成後、圧電セラミックス積層体20の上面全面と下面全面に、それぞれ例えばAgペースト等の導体ペーストを塗布、乾燥して表面電極25、26〔図1(b)参照〕を形成する。この表面電極25、26は、乾燥した状態で分極処理時の高電圧に十分に耐え得る導電性を有し、且つ、アセトン等の有機溶剤で容易に洗浄除去できる導体ペーストを用いて形成する。

【0015】表面電極25、26の形成後、1回目の分極処理工程に移行し、圧電セラミックスのキュリー点よりも低い温度（例えば100℃）のシリコンオイル等の絶縁オイル中に圧電セラミックス積層体20全体を浸漬して、両表面電極25、26間に所定の高電圧を印加することで、圧電セラミックス積層体20全体に積層方向に例えば2kV/mmの電界を例えば10分間印加して、圧電セラミックス積層体20全体を積層方向に均一分極させる。この際、絶縁オイル中で高電圧を印加することで、放電を防止し、また、圧電セラミックスのキュリー点よりも低い温度の絶縁オイルで圧電セラミックス積層体20を適度に加熱することで、圧電セラミックス積層体20全体を積層方向に均一分極させるため、圧電セラミックス積層体20全体に均一分極歪みが生じ、活性部と不活性部との間で分極歪みの差が全く生じない。

【0016】1回目の分極処理後、表面電極25、26をアセトン等の有機溶剤で洗浄除去する。この後、圧電セラミックス積層体20の内部電極22が露出する側面に、例えばCr/Ni/Auの蒸着等により側面電極23、24〔図1(c)参照〕を形成して、側面電極23、24を各層の内部電極22と導通させる。この際、圧電セラミックスの温度がキュリー点を越えると、1回目の分極処理で得られた分極状態が乱されるため、側面電極23、24の形成時に圧電セラミックスの温度がキュリー点を越えないようにする。

【0017】側面電極23、24の形成後、2回目の分極処理工程に移行し、再度、圧電セラミックスのキュリー点よりも低い温度の絶縁オイル中に圧電セラミックス積層体20全体を浸漬して、両側面電極23、24間に所定の高電圧を印加することで、各層の内部電極22に交互に逆極性の電圧を印加して、各層の内部電極22が対向する活性部の圧電セラミックスに積層方向に例えば2kV/mmを例えば10分間印加して、活性部のみを分極し直す。この際、圧電セラミックス層21の分極状態が、印加する電界の強さや電界印加時間によって変化することを考慮して、1回目の分極処理で圧電セラミックス層21に印加する電界と、2回目の分極処理で圧電セラミックス層21に印加する電界とを同じ大きさとし、且つ、電界印加時間を同一とすることが好ましい。

(4)

特開2000-133852

6

【0018】2回目の分極処理では、活性部のみに電界が印加され、活性部の分極方向が1層毎に180°反転することになるが、1回目の分極処理によって、活性部と不活性部が共に2回目の分極方向と平行な方向に分極されているため、2回目の分極処理では、活性部の半数の層の分極方向が変化せず、残り半数の層の分極方向が180°反転するだけであり、これ以外の方向の分極は生じない。この結果、2回目の分極処理においても、活性部と不活性部との分極方向が平行に保たれ、新たな分極歪みが発生しないので、活性部と不活性部との間で分極歪みの差（応力）が発生せず、クラックが抑制され、製品歩留りが向上する。

【0019】本発明者らは、クラック抑制効果を確認するために、上述した製造方法で積層圧電素子を製造し、これを光学顕微鏡で観察して、クラックの有無を調査したところ、クラックの発生は認められなかった。

【0020】また、本実施形態の積層圧電素子は、活性部と不活性部との間で分極歪みの差が発生しない（又は少なくなる）ため、従来のような分極歪みによる残留応力が無くなり（又は少なくなり）、その分、積層圧電素子の駆動時に生じる活性部と不活性部との歪み差による応力も小さくなる。これにより、駆動時のクラックも抑制され、耐久性が向上する。

【0021】尚、本実施形態では、圧電セラミックス積層体20の上下両面に表面電極25、26を形成して1回目の分極処理を行ったが、表面電極25、26を形成する工程を省略して、圧電セラミックス積層体を電圧印加装置の2枚の電極プレート間に挟み込んで電極プレートから圧電セラミックス積層体に積層方向の電界を印加するようにしても良い。また、側面電極23、24の形成方法は蒸着等の薄膜法に限定されず、これをメッキや厚膜導体により形成するようにしても良い。

【0022】

【発明の効果】以上の説明から明らかなように、本発明の請求項1、2によれば、積層圧電素子の不活性部の分極方向を積層方向に揃えて、不活性部の分極方向を活性部の分極方向と平行にしているため、分極処理時の活性部と不活性部との分極歪みを均一にできて、分極処理時の分極歪みの差によるクラックを抑制することができ、製品歩留りを向上できると共に、積層圧電素子の駆動時に生じる活性部と不活性部との歪み差も小さくできて、駆動時のクラックも抑制でき、耐久性を向上することができる。

【0023】更に、請求項3では、圧電セラミックス積層体の両面全面に形成した表面電極を用いて1回目の分極処理を行うようにしたので、1回目の分極処理で圧電セラミックス積層体全体に均一に電界を印加することができ、圧電セラミックス積層体全体を積層方向に均一分極させることができる。しかも、圧電セラミックス積層体の両側面に形成した側面電極を利用して2回目の分

7

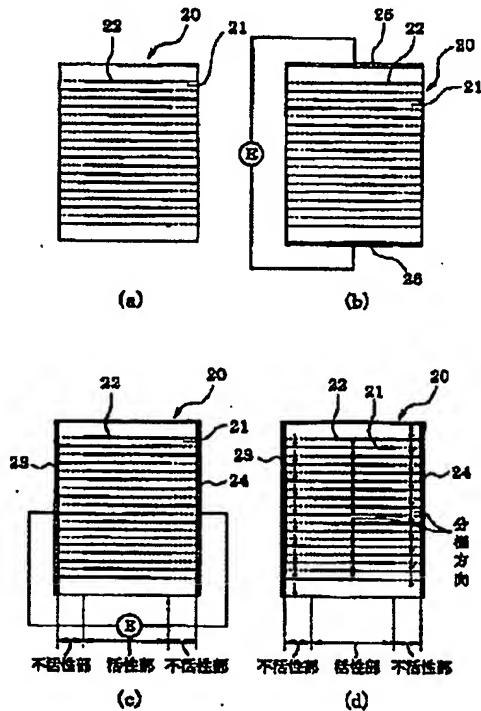
極処理を行うようにしたので、2回目の分極処理時に側面電極から各層の内部電極に同一の電圧を容易に印加することができ、活性部を積層方向に均一分極させることができる。

【0024】また、請求項4では、1回目の分極処理で圧電セラミックス層に印加する電界と、2回目の分極処理で圧電セラミックス層に印加する電界とを同じ大きさとし、且つ、電界印加時間を同一としたので、2回目の分極処理で活性部と不活性部との間に分極歪みの差が発生することを確実に防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態における積層圧電素子の製造方法を説明するもので、(a)は圧電セラミックス積

【図1】



(5)

特開2000-133852

8

層体の構造を示す模式図、(b)は1回目の分極処理工程を説明する模式図、(c)は2回目の分極処理工程を説明する模式図、(d)は積層圧電素子の分極状態を説明する模式図である。

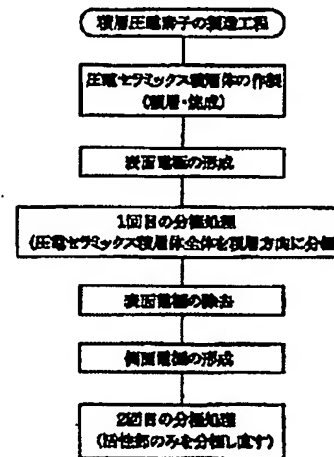
【図2】積層圧電素子の製造工程の流れを示す工程フローチャートである。

【図3】(a)は従来の積層圧電素子の構造を示す模式図、(b)は従来の積層圧電素子に発生する分極歪みやクラックを説明する模式図である。

10 【符号の説明】

20…圧電セラミックス積層体、21…圧電セラミックス層、22…内部電極、23、24…側面電極、25、26…表面電極。

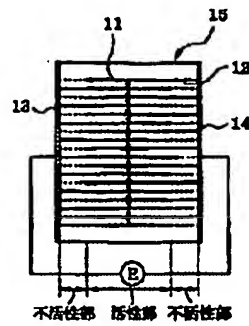
【図2】



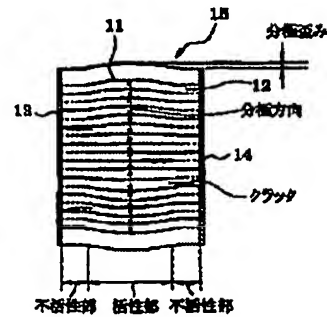
特開2000-133852

(6)

【図3】



(a)



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.